

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111096

(43)Date of publication of application : 30.04.1996

(51)Int.Cl.

G11C 16/06

(21)Application number : 06-245737

(71)Applicant : NEC CORP

(22)Date of filing : 12.10.1994

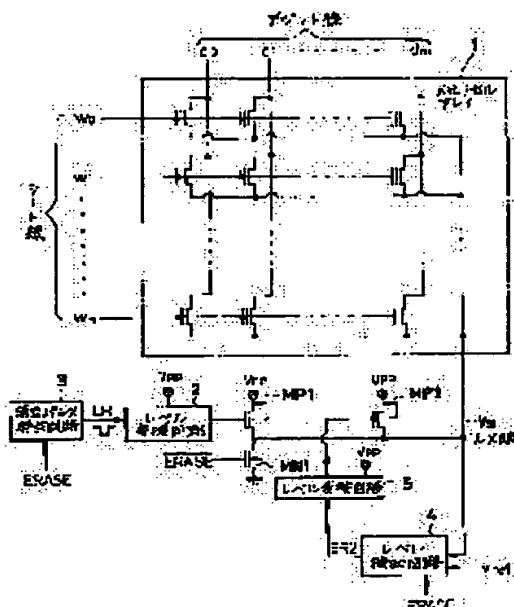
(72)Inventor : NINOMIYA KAZUHISA

## (54) SEMICONDUCTOR STORAGE DEVICE AND ERASING METHOD THEREFOR

## (57)Abstract:

**PURPOSE:** To shorten erase time of a source erasure type flash EEPROM by providing a level detecting circuit or the like for a voltage impressing means for impression an erasing high voltage to source line of electric field effect transistors.

**CONSTITUTION:** The impression means of an erasing high voltage consists of a level detecting circuit 4, a level conversion circuit 5 and an MOS transistor MP2. The level detecting circuit 4 monitors the voltage of the common source line Vs of a memory array 1 corresponding to an erase starting signal ERASE and in the case where the Vs is smaller than a reference voltage Vref, the circuit 4 continues the outputting of an erase pulse signal ER2. Then, when the source line voltage Vs reaches the Vref, the circuit 4 stops the outputting of the erase pulse signal ER2. The level conversion circuit 5 boosts the level of the erase pulse signal ER2 up to the level of a high voltage Vpp and the erase pulse signal of the high voltage is impressed on the gate of the MOS transistor MP2. Moreover, a high voltage power source Vpp is impressed on the source of this transistor and the source line Vs is connected to the drain of the transistor.



## LEGAL STATUS

[Date of request for examination] 12.10.1994

[Date of sending the examiner's decision of rejection] 17.03.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111096

(43) 公開日 平成8年(1996) 4月30日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/ 00

5 3 0 B

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平6-245737

(22) 出願日 平成6年(1994)10月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 二宮 和久

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

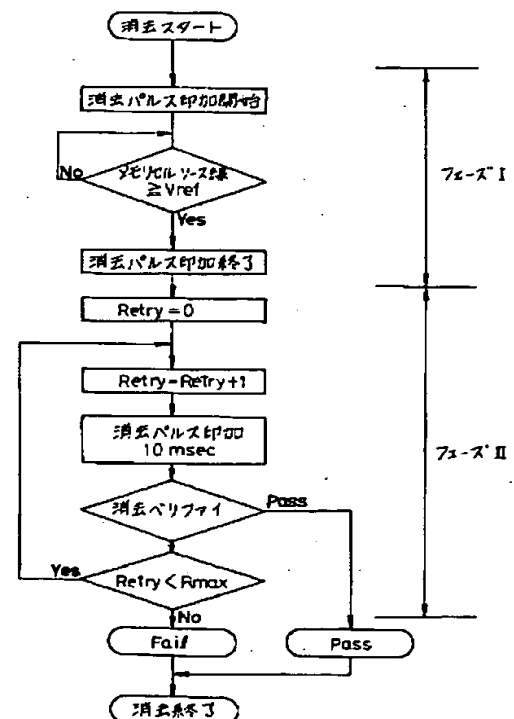
(54) 【発明の名称】 半導体記憶装置及びその消去方法

(57) 【要約】

【目的】 ソース消去型フラッシュEEPROMの消去時間を短縮する。

【構成】 フェーズIにおいて、メモリセルソース線に消去用高電圧を、当該ソース線の電圧が参照電圧Vrefになるまで印加し続ける。ソース線電圧がVrefに達すると、以降はフェーズIIとして、従来の消去パルス印加と消去ベリファイとを、全セルの消去が完了するまで繰返す。

【効果】 フェーズIにて各セルのしきい値電圧が消去直前の値にまで低下するので、それから消去ベリファイを追加すれば良く、消去動作が早まる。



(2)

## 【特許請求の範囲】

【請求項1】 フローティングゲート型電界効果トランジスタをメモリセルとして有する半導体記憶装置であって、消去開始指令に応答して前記電界効果トランジスタのソース線の電圧が前記消去用高電圧に近いそれより小なる所定電圧に達するまで前記ソース線に対して前記消去用高電圧を印加する電圧印加手段を含むことを特徴とする半導体記憶装置。

【請求項2】 前記ソース線の電圧が前記所定電圧に達したとき、以後前記ソース線に対して前記消去用高電圧の印加とこの電圧印加によるメモリセルの消去状態の検査とを周期的に繰り返すよう制御する制御手段を更に含むことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記所定電圧は前記消去用高電圧の8～9割の電圧であることを特徴とする請求項1または2記載の半導体記憶装置。

【請求項4】 フローティングゲート型電界効果トランジスタをメモリセルとして有する半導体記憶装置の消去方法であって、消去開始指令に応答して前記電界効果トランジスタのソース共通線の電圧が前記消去用高電圧に近いそれより小なる所定電圧に達するまで前記ソース線に対して前記消去用高電圧を印加するステップを含むことを特徴とする消去方法。

【請求項5】 前記ソース線の電圧が前記所定電圧に達したとき、以後前記ソース線に対して前記消去用高電圧の印加とこの電圧印加によるメモリセルの消去状態の検査とを周期的に繰り返すステップを更に含むことを特徴とする請求項4記載の消去方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置及びその消去方法に関し、特にフローティングゲート型電界効果トランジスタをメモリセルとして有する一括消去可能でかつプログラム可能なフラッシュEEPROM半導体記憶装置及びその消去方法に関するものである。

【0002】

【従来の技術】 従来のこの種のフラッシュEEPROMである不揮発性半導体記憶装置は、複数のメモリセルをマトリックス状に配置したメモリセルアレイ構造であり、各メモリセルはフローティングゲートを備えた電界効果トランジスタ（FAMOS）により構成されている。

【0003】 図6（A）はこの種のフラッシュEEPROMの概略回路構成を示しており、特開平4-228193号公報に開示のものである。メモリセルアレイは複数のFAMOSがマトリックス状に配列されて構成され、メモリセルアレイの各行にはワード線 $W_0 \sim W_n$ が設けられており、これ等ワード線が行アドレスデコーダ（図示せず）により択一的に活性化される。

【0004】 また、メモリセルアレイの各列にはディジット線 $d_0 \sim d_m$ が配設されており、これ等ディジット線が列アドレスデコーダ（図示せず）により択一的に活性化される。行アドレスデコーダと列アドレスデコーダとにより、いずれか一つのメモリセルが選択される。

【0005】 更に、ディジット線には、センス回路及びデータ書込み回路（共に図示せず）が接続されており、データ読出し時には、センス回路が活性化され、選択されたメモリセルのオンまたはオフの状態が検知される。データ書込み時には、データ書込み回路が活性化され、選択されたメモリセルに所望データが書込まれるのである。

【0006】 メモリセルアレイ1の一括消去（フラッシュ）のために、全てのFAMOSのソースは共通ソース線 $V_s$ にて共通とされており、この共通ソース線 $V_s$ に対して消去用高電圧 $V_{pp}$ が消去回路から印加される様になっている。この消去回路は、消去パルス発生回路3と、レベル変換回路2と、PチャネルMOSトランジスタ $MP_1$ と、NチャネルMOSトランジスタ $MN_1$ とからなっている。

【0007】 消去パルス発生回路3は消去開始信号 $ERASE$ を入力として消去に必要な時間よりも十分短いパルス幅の消去パルス信号（反転 $ER$ ）を出力するものである。レベル変換回路2は通常の論理回路の動作レベルの信号の振幅（ $V_{DD}=5V$ ）を、消去用の高電圧電源レベル $V_{pp}$ （ $=12V$ ）に変換するものである。

【0008】 PチャネルMOSトランジスタ $MP_1$ はソースに消去用高電圧電源 $V_{pp}$ が印加され、ゲートにレベル変換回路2の出力パルス信号が印加されている。NチャネルMOSトランジスタ $MN_1$ はソースに基準電位（アース）が印加され、ゲートに消去パルス発生回路3の出力パルス信号（反転 $ER$ ）が印加されている。そして、両トランジスタ $MP_1$ と $MN_1$ とのドレインが共通ソース線 $V_s$ に接続されている。

【0009】 消去開始信号 $ERASE$ が活性化されると、これに応答して消去パルス発生回路3より消去パルス（反転 $ER$ ）が生成されてMOSトランジスタ $MP_1$ がオン、MOSトランジスタ $MN_1$ がオフとなり、メモリセルの共通ソース線 $V_s$ に消去用の高電圧 $V_{pp}$ が印加されることになる。これによりメモリセルの一括消去が行われる。尚、図6（B）に消去パルス（反転 $ER$ ）のレベルと動作との関係を示す。

【0010】 この消去動作について更に詳述する。フラッシュEEPROMの消去動作は、上述の特開平4-228193号公報に記載されている如く、FAMOSメモリセルトランジスタのゲートとソース間に高電圧を印加し、Fowler-Nordheimトンネリング現象により、フローティングゲートに蓄積されている電子を引き抜くことで行われる。

【0011】 更に、メモリセルが必要以上に消去されて

(3)

メモリセルのしきい値電圧 $V_{TM}$ が負になること（過剰消去）を防止するために、次の様な方法によりメモリセルの消去動作が行われている。

【0012】メモリセル消去のためにソース線 $V_s$ に印加する高電圧 $V_{pp}$ のパルス（以下消去パルスと呼ぶ）のパルス幅を、実際に消去に必要な時間よりも短く設定し、このパルス幅の短い消去パルスをソース線 $V_s$ に1回印加する毎に、メモリセルアレイの全てのメモリセルの記憶データを読み出して、メモリセルアレイのメモリセルの全ての記憶データが消去状態となったか否かを確認する消去ベリファイ動作を行う。

【0013】そして、記憶データが消去状態になりメモリセルが1つでもあれば再度短いパルス幅の消去パルスをソース線 $V_s$ に印加し、再度消去ベリファイ動作を行う。以上の処理動作を全てのメモリセルが消去状態になるまで繰返し行うようになっており、その動作フローチャートが図7に示されている。

【0014】尚、図7において、“Retry”は消去パルス印加と消去ベリファイ動作との実行回数を示し、 $R_{max}$ はリトライ（実行）回数の最大値を示している。

【0015】

【発明が解決しようとする課題】この従来のフラッシュEEPROMでは、過剰消去を回避すべく一連の消去動作中に、消去パルス印加と消去ベリファイ動作とを繰返し実行しなければならないが、この一連の消去動作のうち消去ベリファイ動作は、ある程度メモリセルが消去状態になりつつある状態で実施すれば良く、よって消去パルスと消去ベリファイ動作とを最初から毎回繰返す従来の方法では、消去初期時の消去ベリファイ動作は無駄となっている。

【0016】

【課題を解決するための手段】本発明によれば、フローティングゲート型電界効果トランジスタをメモリセルとして有する半導体記憶装置であって、消去開始指令にตอบสนองして前記電界効果トランジスタのソース線の電圧が前記消去用高電圧に近いそれより小なる所定電圧に達するまで前記ソース線に対して前記消去用高電圧を印加する電圧印加手段を含むことを特徴とする半導体記憶装置が得られる。

【0017】更に、本発明によれば、フローティングゲート型電界効果トランジスタをメモリセルとして有する半導体記憶装置の消去方法であって、消去開始指令にตอบสนองして前記電界効果トランジスタのソース共通線の電圧が前記消去用高電圧に近いそれより小なる所定電圧に達するまで前記ソース線に対して前記消去用高電圧を印加するステップを含むことを特徴とする消去方法が得られる。

【0018】

【作用】ソース線とフローティングゲート間に高電圧を印加し、フローティングゲートからソース領域に電子を

引き抜くことにより、メモリセルの記憶データの消去を行う消去方法（以下ソース消去方法と呼ぶ）では、メモリセル領域とメモリセルフローティングゲート間の電位差により、メモリセルフローティングゲート下のソース領域で空乏化が生じ、バンド間トンネリング現象によるメモリセルソース部から基板へのリーク電流が発生することが知られている。

【0019】このメモリセルソースから基板へのリーク電流はメモリセルソース領域とフローティングゲートの電位差が大きい程、言い換えればフローティングゲートに注入されている電子の量が多い程、すなわち、メモリセルのしきい値が高い程、顕著となり、図8（A）に示すような特性を示す。

【0020】従って、ソース消去型のフラッシュEEPROMでは、図8（B）に示す様に、消去初期の段階ではメモリセルソースから基板へのリーク電流が大きく、消去中のメモリセルソース線の電圧は大きく低下し、消去が進行してメモリセルのしきい値が降下するにつれ、メモリセルソースから基板へのリーク電流が減少し、メモリセルソース線電圧が上昇するという特性を有している。

【0021】そこで、本発明では、従来の消去方法に先立って、まず消去パルスが印加されると、メモリセルソース線の電圧がある設定されたレベルに上昇するまで、すなわちメモリセルのしきい値がある程度低下し、消去状態に近づくまで、消去パルス印加を維持する。その後、メモリセルしきい値が消去適正レベル範囲になるまで従来と同様に消去パルス印加と消去ベリファイとを繰返す。

【0022】

【実施例】以下に、本発明の実施例について図面を用いて詳述する。

【0023】図1は本発明の一実施例の回路構成図であり、図6（A）と同等部分は同一符号により示している。本実施例では、図6（A）の従来の回路に加えて、レベル検知回路4、レベル変換回路5及びPチャネルMOSトランジスタMP2を設けたものである。

【0024】レベル検知回路4は消去開始信号ERASEにตอบสนองしてメモリセルアレイ1の共通ソース線 $V_s$ の電圧を監視し、このソース線の電圧がある参照電圧 $V_{ref}$ より小である場合には消去パルス信号ER2を出力し続け、ソース線電圧が $V_{ref}$ に達するとこの消去パルス信号ER2の出力を停止する。

【0025】レベル変換回路5はこの消去パルス信号ER2のレベルを高電圧 $V_{pp}$ （＝12V）のレベルまで昇圧するための回路であり、この高電圧 $V_{pp}$ の消去パルス信号はPチャネルMOSトランジスタMP2のゲートに印加される。このトランジスタMP2のソースには高電圧電源 $V_{pp}$ が印加されており、ドレインはソース線 $V_s$ に接続されている。

(4)

【0026】尚、NチャネルMOSトランジスタMN1のゲートには消去開始信号ERASEの反転信号が印加されている点を除き、他の回路構成は図6(A)のそれと同一となっている。

【0027】図2は図1の回路の各部信号の波形例を示す図であり、図3は図1の回路の消去動作を示すフローチャートである。

【0028】消去が開始されて消去開始信号ERASEがハイレベルになると、これに反応してレベル検知回路4が動作状態となると共に、反転ERASEはローレベルとなってNチャネルMOSトランジスタMN1はオフとなる。

【0029】消去開始直後はソース線Vsの電圧は接地電位にあり、よってレベル検知回路4の出力ER2はローレベルとなり、PチャネルMOSトランジスタMP2のゲートもローレベルとなってオンとなる。これにより、ソース線に消去用高電圧Vpp(=15V)が印加される。

【0030】この消去用高電圧Vppがソース線Vsに印加されると、消去初期時には、メモリセルソースと基板間のリーク電流による電圧降下が大きく、ソース線Vsの電圧は参照電圧Vrefを下まわっている。

【0031】次第に消去が進行してソース線Vsの電圧が上昇して行き、ソース線Vsの電圧がVrefに達すると、レベル検知回路4の出力ER2は始めてハイレベルとなり、これを入力とするレベル変換回路5の出力はVppレベルとなる。よって、PチャネルMOSトランジスタMP2はオフとなり、消去用高電圧Vppのソース線への印加は停止することになる。以上の動作が、図2、3のフェーズIとして示されている。

【0032】その後は、消去開始信号ERASEを入力とする消去パルス発生回路3から出力パルス信号ERが、この信号ERASEの入力毎に同期して生成され、この出力パルス信号ERのパルス幅の期間(ローレベル)、PチャネルMOSトランジスタMP1がオンとなり、ソース線Vsに消去用高電圧Vppのパルスが印加されることになり、メモリセルのFAMOSの消去がなされる。

【0033】その後、消去ベリファイ動作が行われ、全メモリセルが消去状態にあるか否かが検査され、全てのメモリセルが消去状態になるまで、上述の消去パルス印加動作(図2のa)と、消去ベリファイ動作(図2のb)とが周期的に繰返し行われることは従来例と同様である。以上の動作が図2、3のフェーズIIとして示されている。

【0034】図2、3のフェーズIIは従来の消去動作であり、フェーズIが本発明により付加された消去動作であって、フェーズIの消去動作の追加により、ソース線Vsの電圧が参照電圧Vrefに達するまでは消去用高電圧Vppをソース線へ供給し続け、参照電圧に達した時点

で、従来の消去電圧印加と消去ベリファイとを繰返すようにすることで、消去初期時に無駄となっていた消去ベリファイ動作をなくして、消去動作を早くすることができることになる。

【0035】ここで、参照電圧Vrefについて考える。現在のフラッシュEEPROMにおいては、消去用高電圧Vppとして15Vを用いており、この消去用の高電圧パルスは、半導体記憶装置内部のロジック回路から生成されるロジックレベルの信号ERASEに基づいて生成されるが、この信号ERASEのロジックレベルはロジック回路の電源VDDのレベルである5Vである。よって、この5Vの信号をレベル変換回路2において、Vpp=12Vに昇圧しているのである。

【0036】参照電圧VrefはこのVpp=12VとVDD=5Vとの間の電圧とすれば良い。いま、メモリセルのしきい値電圧VTMが約3V以下で消去状態となることから(図8参照)、この消去状態のVTMになる直前のソース電圧を図8(A)、(B)の特性により求めると(実験的)、11V位となり、よって参照電圧Vrefは10~11Vが最適となることが判る。

【0037】一般的には、Vppの8~9割のレベルの電圧をVrefとすれば、初期消去時にソース線Vsの電圧を、フェーズIにて、このVrefの電圧まで上昇させておき、しかる後にフェーズIIに移行すれば、消去パルス印加と消去ベリファイとの繰返し回数(Retry)は少くなり、消去動作は著しく早くなる。

【0038】尚、図4は消去時間(対数軸)とメモリセルしきい値VTMとの関係を、本発明によるフェーズI、フェーズIIの各々において示したものであり、フェーズIの実行により、メモリセルしきい値VTMが消去適正レベルの直前近くまで低下していることが判る。

【0039】図5は本発明の第二の実施例の回路図であり、図1と同等部分は同一符号にて示している。本実施例では、参照電圧Vrefを半導体ウェハテスト時に切換え可能として、参照電圧を半導体記憶装置の製造ロット毎に設定するようにしたものである。

【0040】3本の抵抗R1~R3のうち1本をヒューズF1~F3にて夫々選択可能とし、この選択された抵抗と抵抗Rとにより、電圧Vppを分圧して参照電圧Vrefとするものである。

【0041】

【発明の効果】以上説明したように、本発明はメモリセル消去時にメモリセルソース線の電位をモニターし、メモリセルソース線電位が参照電圧を越えるまで、メモリセルソース線に高電圧を印加する制御回路を付加することにより、過剰消去になることなく初期の消去ベリファイを省略することができ、消去時間が短縮されるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

(5)

【図2】図1のブロックの動作を示す各部波形図である。

【図3】本発明の実施例の動作を示すフローチャートである。

【図4】本発明による消去時間とメモリセルしきい値との関係を示す図である。

【図5】本発明の他の実施例のブロック図である。

【図6】(A)は従来のフラッシュEEPROMのブロック図、(B)は消去回路の動作を説明するための図である。

【図7】図6のブロックの消去動作を示すフローチャートである。

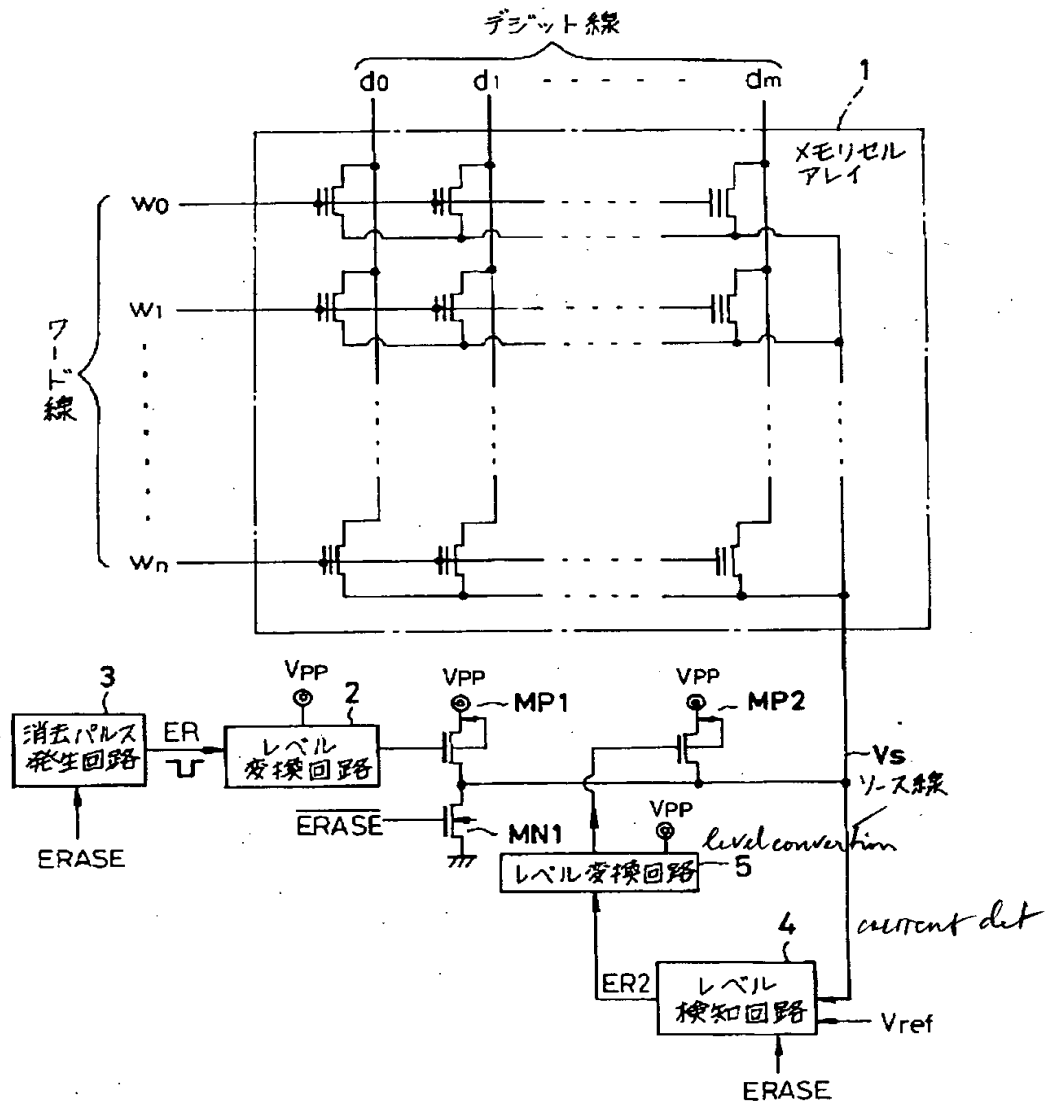
トである。

【図8】(A)はメモリセルソース電圧とメモリセルソース・基板間のリーク電流の関係を示す図、(B)は消去時間とメモリセルソース電圧及びしきい値電圧との関係を示す図である。

【符号の説明】

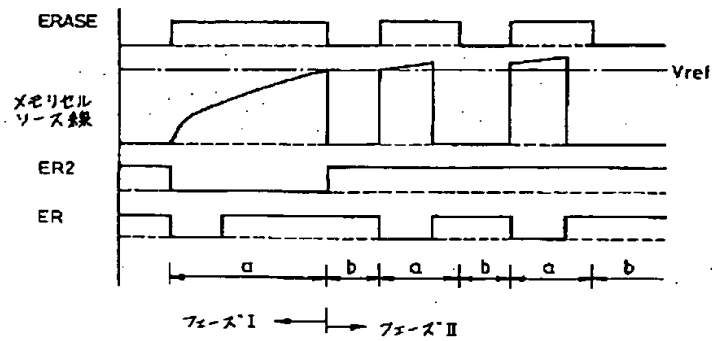
- 1 メモリセル
- 2, 5 レベル変換回路
- 3 消去パルス発生回路
- 4 レベル検知回路

【図1】

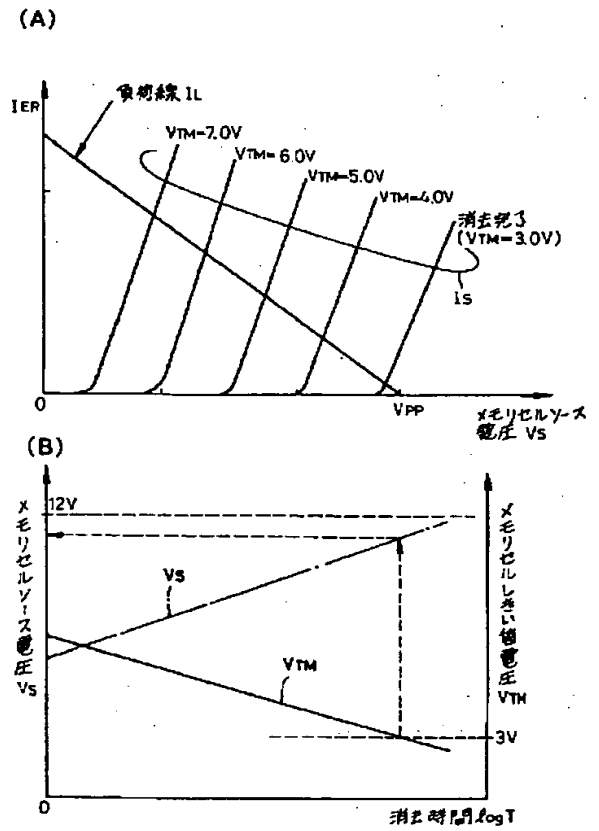


(6)

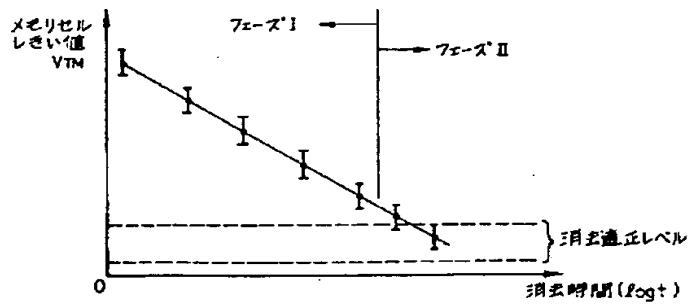
【図2】



【図8】

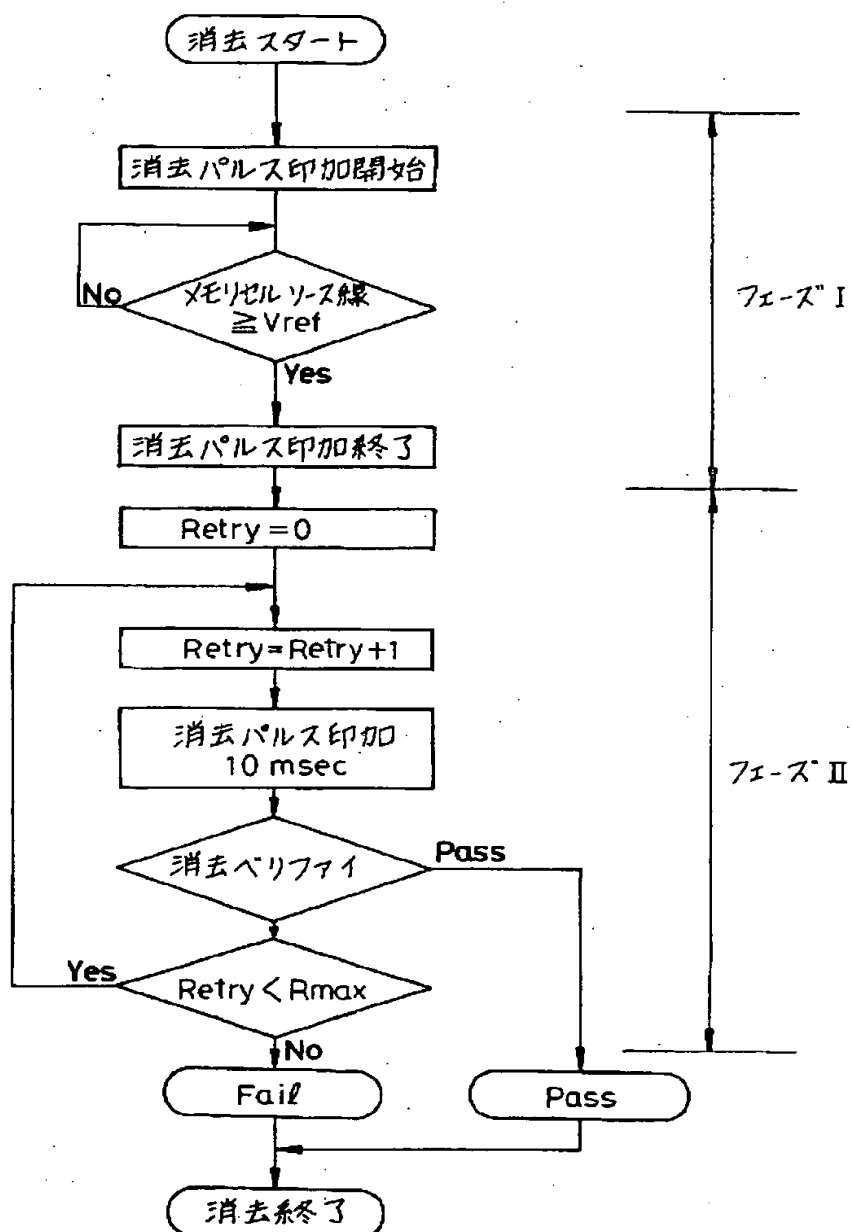


【図4】



(7)

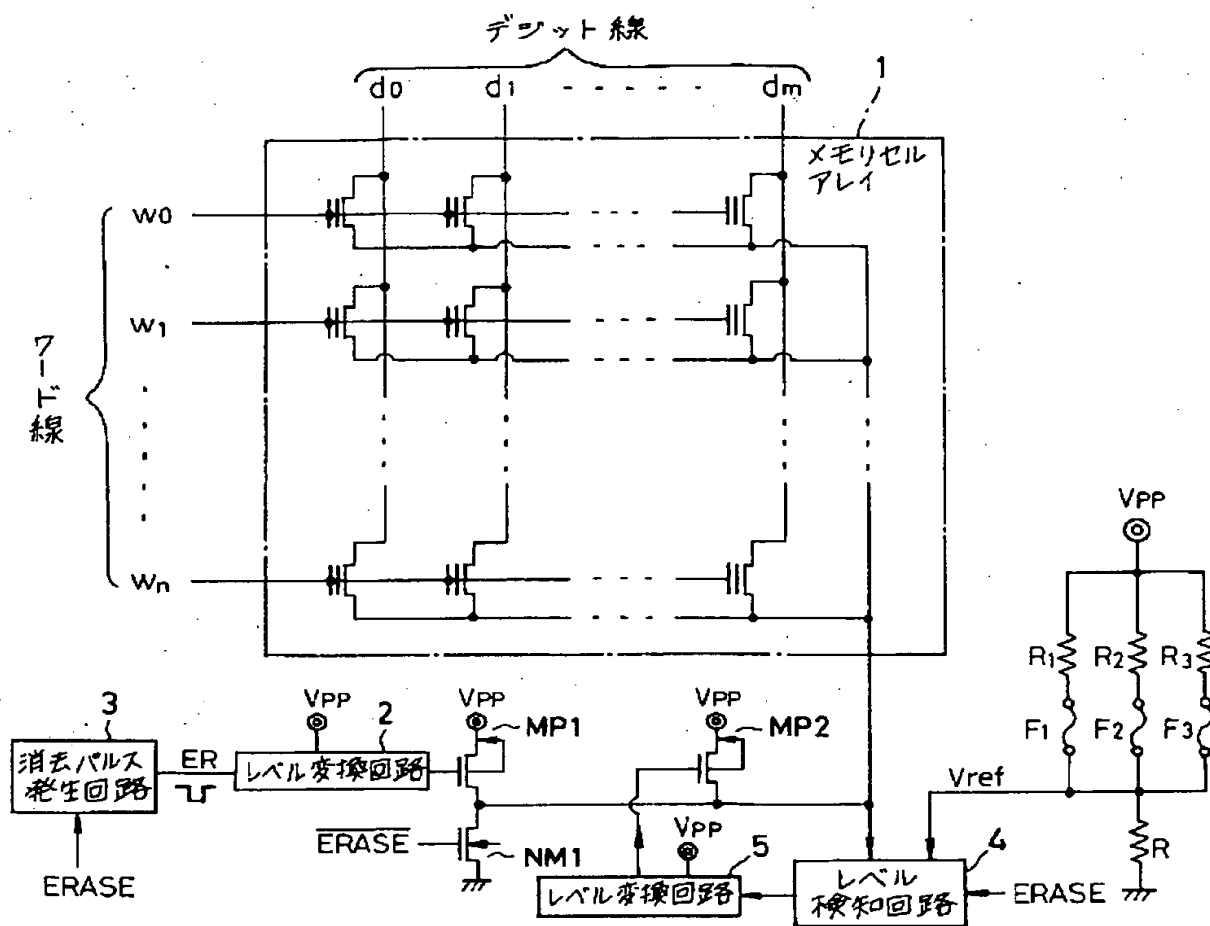
【図3】





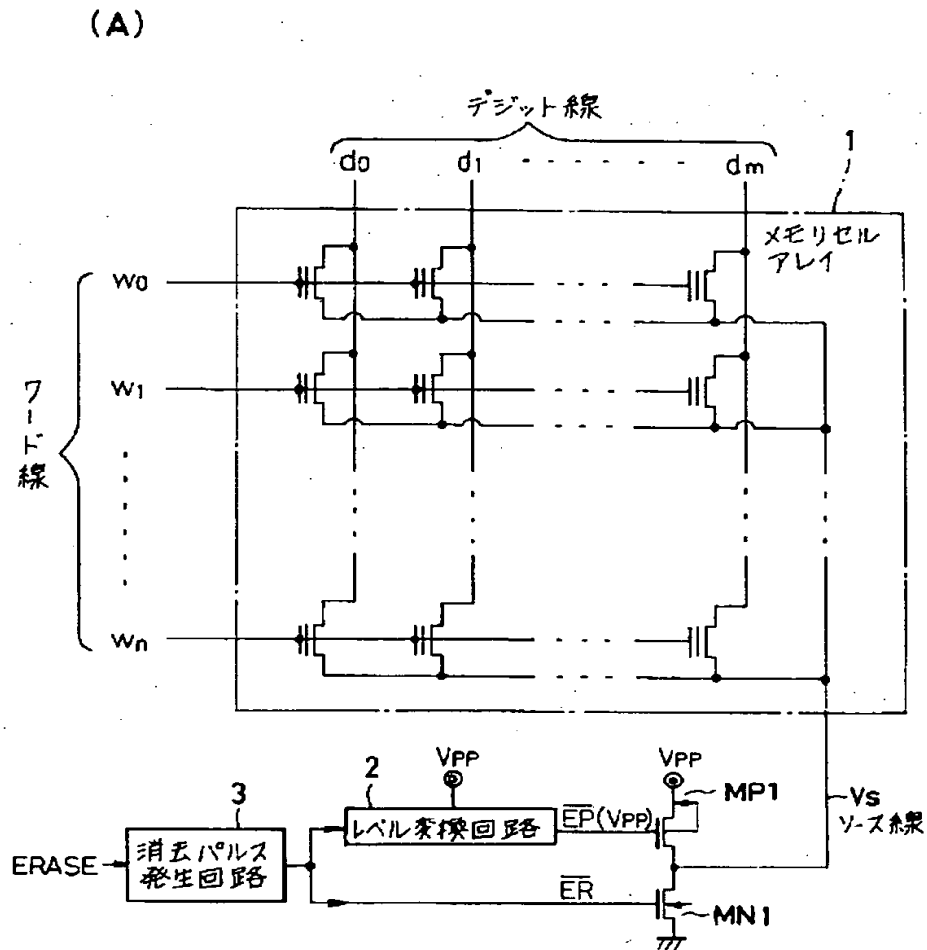
(8)

【図5】



(9)

【図6】



(B)

	消去パルス印加	その他
$\overline{ER}(VPP)$	0V	VPP
$\overline{ER}$	0V	VCC

(10)

【図7】

